

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-265913

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H01J 11/02  
H01J 11/00

(21)Application number : 08-103401

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 29.03.1996

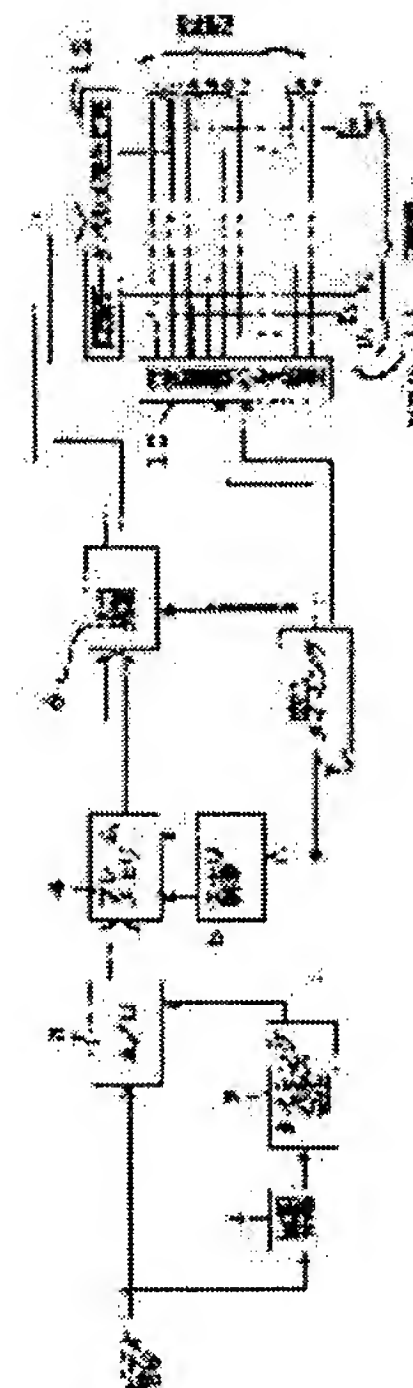
(72)Inventor : AMAMIYA KIMIO

## (54) PLASMA DISPLAY PANEL

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a plasma display which operates stably.

SOLUTION: A plasma display panel is equipped with plural row electrode pairs X1, Y1 to Xn, Yn, and plural column electrodes D1 to Dm which parting cross with the row electrode pairs. Unit radiative areas are determined by the intersections of the row electrode pairs and the column electrodes, the light emission of the unit radiative area is selected by one side of the row electrode pair and the column electrode, and the area of one side row electrode of the row electrode pair in the unit radiative area is set to be smaller than the area of the other side row electrode. The electric capacity per unit area made by a dielectric layer covering one side row electrode of the row electrode pair is set to be larger than the electric capacity per unit area made by a dielectric layer covering the other side row electrode of the row electrode pair. The film thickness of the dielectric layer covering one side row electrode of the row electrode pair is set to be thinner than the film thickness of the dielectric layer covering the other side row electrode.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-265913

(43)公開日 平成9年(1997)10月7日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	11/02		H 0 1 J	B
	11/00			K

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21)出願番号 特願平8-103401

(22)出願日 平成8年(1996)3月29日

(71)出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 雨宮 公男

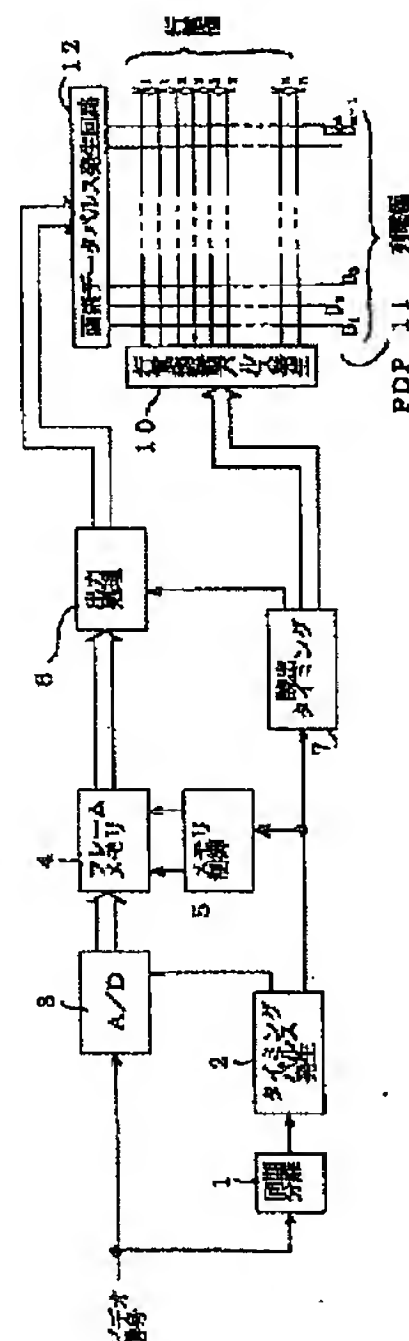
山梨県甲府市大里町465番地 パイオニア株式会社内

(54)【発明の名称】 プラズマディスプレイパネル

(57)【要約】 (修正有)

【課題】 安定な動作をするプラズマディスプレイパネルを提供する。

【解決手段】 複数の行電極対 $X_1$ 、 $Y_1 \sim X_n$ 、 $Y_n$ と、行電極対と離間して直交する複数の列電極 $D_1 \sim D_m$ とを有し、行電極対と列電極の交点にて単位発光領域が画定され、行電極対の一方の行電極と列電極とによって単位発光領域の発光を選択するように構成し、単位発光領域内の行電極対の一方の行電極の面積を他方の行電極の面積より小とする。さらに、行電極対の一方の行電極を覆う誘電体層による単位面積当たりの電気的容量を他方の行電極対を覆う誘電体層による単位面積当たりの電気的容量より大とする。また、行電極対の一方の行電極を覆う誘電体層の膜厚を他方の行電極を覆う誘電体層の膜厚より小とする。



## 【特許請求の範囲】

【請求項1】 複数の行電極対と、前記行電極対と離間して直交する複数の列電極とを有し、前記行電極対と列電極の交点にて単位発光領域が画定され、前記行電極対の一方の行電極と前記列電極とによって前記単位発光領域の発光を選択するように構成されたプラズマディスプレイパネルであって、前記単位発光領域内の前記行電極対の一方の行電極の面積を他方の行電極の面積より小としたことを特徴とするプラズマディスプレイパネル。

【請求項2】 複数の行電極対と、前記行電極対を覆う誘電体層と、前記行電極と離間して直交する複数の列電極とを有し、前記行電極対と列電極の交点にて単位発光領域が画定され、前記行電極対の一方の行電極と前記列電極とによって前記単位発光領域の発光を選択するように構成されたプラズマディスプレイパネルであって、前記行電極対の一方の行電極を覆う誘電体層による単位面積当たりの電気的容量を他方の行電極対を覆う誘電体層による単位面積当たりの電気的容量より大としたことを特徴とするプラズマディスプレイパネル。

【請求項3】 前記行電極対の一方の行電極を覆う誘電体層の膜厚を他方の行電極を覆う誘電体層の膜厚より小としたことを特徴とする請求項2に記載のプラズマディスプレイパネル。

【請求項4】 前記行電極対の一方の行電極を覆う誘電体層の誘電率を他方の行電極を覆う誘電体層の誘電率より大としたことを特徴とする請求項2に記載のプラズマディスプレイパネル。

## 【発明の詳細な説明】

【0001】

【0001】

【0002】

【発明の属する技術分野】本発明は、プラズマディスプレイパネルに関する。

【0003】

【0002】

【0004】

【従来の技術】図8は、一般的な面放電型のプラズマディスプレイパネル(PDP)の分解斜視図であり、1つの画素に対応する基本的な構造を示している。表示面となるガラス基板901の内面には、透明導電膜からなる幅広の透明電極902aとその導電性を補う金属膜からなるバス電極902bとで構成される行電極対902、902が形成され、その上に誘電体層904、MgO層905が積層されている。

【0005】

【0003】一方、背面側のガラス基板906上には、行電極902、902と直交する方向に列電極907が形成されている。各列電極間にはリブ910が設けられ、列電極とリブを覆うように蛍光体層908が形成されている。2つの基板901、906の間の放電空間9

09内には、Ne、Xe等の混合ガスが封入されている。

【0006】

【0004】かかるPDPの表示制御は、次のように行われる。

【0007】先ず、行電極対にリセット書き込みパルスを加えると、対をなす行電極間に放電が生じ、放電終了後誘電体層上に壁電荷が蓄積形成される。次に画素データパルスを列電極に印加すると共に走査パルス(選択消去パルス)を行電極対の一方の行電極に印加すると、列電極と行電極との間に放電が生じ、誘電体層上の壁電荷を選択的に消滅させ、画素データの書き込みが行われる。次に、行電極対に維持パルスを交互に印加すると、壁電荷が残留している画素のみが放電し、その放電が維持される。次に、行電極に消去パルスを印加すると、放電が生じて壁電荷が消滅し維持放電が停止する。

【0008】

【0005】

【0009】

【発明が解決しようとする課題】上述のPDPでは、一般的に行電極対902、902の線幅が等しく、リセット書き込みパルスによる放電で一对の行電極902、902上に絶対値が略等しい壁電荷が蓄積形成される。そして、画素データ書き込み時、この壁電荷が放電空間中の電界強度を増強するように働くので、画素データパルスの電圧を低減できるようになる。

【0010】このように、画素データパルスの電圧を下げようとする、リセット書き込みパルスによる放電を強めて行電極対上の壁電荷量を大きくし放電空間中の電界強度を増強する必要がある。そうすると、行電極間の電位差が大きくなり行電極間で不要な放電が生じ易くなる。一方、行電極間の不要な放電を防止するためには、リセット書き込みパルスによる放電を弱めて行電極対上の壁電荷量を小さくし行電極間の電位差を小さくする必要がある。そうすると、列電極と行電極との間の放電を安定させるために画素データパルスの電圧を大きくすることが必要となり、結果として列電極の駆動用ICのコストアップにつながる。

【0011】本発明は、上述の事情に鑑みてなされたものであり、低コストで安定した表示動作が可能なプラズマディスプレイパネルを提供することを目的とする。

【0012】

【0006】

【0013】

【課題を解決するための手段】請求項1の発明に係わるプラズマディスプレイパネルは、複数の行電極対と、行電極対と離間して直交する複数の列電極とを有し、行電極対と列電極の交点にて単位発光領域が画定され、行電極対の一方の行電極と列電極とによって単位発光領域の発光を選択するように構成されたプラズマディスプレイ

パネルであって、単位発光領域内の行電極対の一方の行電極の面積を他方の行電極の面積より小とする。

【0014】

【0007】請求項2の発明に係わるプラズマディスプレイパネルは、複数の行電極対と、行電極対を覆う誘電体層と、行電極と離間して直交する複数の列電極とを有し、行電極対と列電極の交点にて単位発光領域が画定され、行電極対の一方の行電極と列電極とによって単位発光領域の発光を選択するように構成されたプラズマディスプレイパネルであって、行電極対の一方の行電極を覆う誘電体層による単位面積当たりの電気的容量を他方の行電極対を覆う誘電体層による単位面積当たりの電気的容量より大とする。

【0015】

【0008】

【0016】

【作用】単位発光領域内における一对の行電極の面積を異ならせ、面積が小さい方の行電極と列電極との間で書き込み放電を生じさせる。

【0017】

【0009】

【0018】

【発明の実施の形態】図1は、本発明のプラズマディスプレイパネルの駆動装置の構成を示す図である。図1において、入力ビデオ信号は、赤色映像成分に対応したRビデオ信号、緑色映像成分に対応したGビデオ信号、及び青色映像成分に対応したBビデオ信号を夫々分離抽出して、これらをA/D変換回路3に供給する。同期分離回路1は、上記ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら水平及び垂直同期信号に基づいた種々のタイミングパルスを発生する。A/D変換回路3は、タイミングパルス発生回路2から供給されたタイミングパルスに同期して、上記Rビデオ信号、Gビデオ信号及びBビデオ信号各々を夫々デジタルのR画素データ、G画素データ及びB画素データに変換して、これらをフレームメモリ4に供給する。

【0019】

【0010】メモリ制御回路5は、タイミングパルス発生回路2から供給されたタイミングパルスに同期した書込信号及び読出信号をフレームメモリ4に供給する。フレームメモリ4は、かかる書込信号に応じて、上記A/D変換回路3から供給された各画素データを順次取り込む。又、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。

【0020】

【0011】読出タイミング信号発生回路7は、画素データパルスの供給タイミングに対応したタイミング信号

を発生してこれを出力処理回路6に供給する。

【0021】読出タイミング信号発生回路7は、放電発光を実施すべく、放電発光を開始させるための走査パルス、放電状態を維持させるための維持パルス、及び放電発光を停止させるための消去パルス各々のPDP11に対する印加供給タイミング信号を発生してこれらを行電極駆動パルス発生回路10に供給する。出力処理回路6は、上記フレームメモリ4から供給された画素データ1フィールド毎に分割された各サブフィールドに対応する画素データを生成し、これらを読出タイミング信号発生回路7からのタイミング信号に同期して画素データパルス発生回路12に供給する。

【0022】

【0012】行電極駆動パルス発生回路10は、読出タイミング信号発生回路7から供給された各種タイミング信号に対応して、上記走査パルス、維持パルス、及び消去パルスを夫々発生してPDP11の行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ に供給する。

【0023】画素データパルス発生回路12は、出力処理回路6から供給された1フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割した各行毎の画素データパルスを時分割にて列電極 $D_1 \sim D_m$ へ印加する。

【0024】

【0013】PDP11は、行電極駆動パルス発生回路10から上記走査パルスが印加された際に画素データパルスに対応した放電発光を開始して、上記維持パルスが印加されている期間に亘ってこの発光状態を維持する。その後、行電極駆動パルス発生回路10から上記消去パルスが印加されることにより放電発光を停止する。このように、行電極駆動パルスは、走査パルス、維持パルス、消去パルスなどを含む。

【0025】

【0014】図2は、図1の駆動パルス信号のタイミングを示す図である。図2において、先ず、駆動装置から、負電圧のリセット書込みパルス $RP_x$ を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正電圧のリセット書込みパルス $RP_y$ を行電極 $Y_1 \sim Y_n$ の各々に印加する。かかるリセット書込みパルスの印加によりPDPの全ての行電極対間に放電が生じる。かかる放電により、各画素セル内において荷電粒子及び励起粒子が発生し、その放電終息後に壁電荷が蓄積形成される。

【0026】

【0015】次に、駆動装置から、各行毎の画素データに対応した画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_m$ に印加する。駆動装置からは、上記画素データパルス $DP_1 \sim DP_n$ 夫々の印加タイミングに同期して選択消去パルスSPを行電極 $Y_1 \sim Y_n$ へ順次印加していく。この際、かかる画素データパルスDP、及



び選択消去パルスSPが夫々列電極及び行電極に同時に印加された画素セルにのみ放電が生じて、上記リセット書込みにて形成された壁電荷の大半が消滅する。一方、選択消去パルスSPが印加されたものの画素データパルスDPが印加されない画素セルにおいては、上述の如き放電が生じないので、上記リセット書込みにて形成された所望量の壁電荷は、画素データの内容に応じて選択的に消去されるのである。

【0027】

【0016】次に、駆動装置からは、正極性の維持パルスIPxを連続して行電極 $X_1 \sim X_n$ の夫々に印加すると共に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正極性の維持パルスIPyを連続して行電極 $Y_1 \sim Y_n$ の夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり上記壁電荷が残留したままになっている画素セルのみが放電発光を維持する。

【0028】次に、駆動装置からは、サステイン消去パルスEPを行電極 $X_1 \sim X_n$ 夫々に印加することにより、上記維持放電を停止せしめる。

【0029】

【0017】図3は上述のPDP11の構造を示す。表示面となるガラス基板901の内面には、透明導電膜からなる幅広の透明電極302a、303a、その導電性を補う幅狭金属膜からなるバス電極302b、303bとで構成される行電極対302、303が形成され、その上に誘電体層904、MgO層905が積層されている。一方、背面側のガラス基板906上には、行電極対902、902と直交する方向に列電極907が形成されている。各列電極間にはリブ910が設けられ、列電極とリブを覆うよう蛍光体層908が形成されている。2つの基板901、906の間の放電空間909内には、Ne-Xe等の混合ガスが封入されている。

【0030】ここで、画素データ書き込み時、列電極907（図1及び図2の列電極 $D_1 \sim D_n$ に対応する）との間で単位発光領域ECの発光の選択（アドレス）を行う行電極302（図1及び図2の行電極 $Y_1 \sim Y_n$ に対応する）の幅 $l_1$ （面積）は、図4（a）に示すように対をなす他方の行電極（図1及び図2の行電極 $X_1 \sim X_n$ に対応する）の幅 $l_2$ （面積）より狭くなっている。

【0031】

【0018】次に、上記行電極対構造を有するPDPの動作について説明する。

【0032】まず、リセット書き込みパルスRPx、RPyによる放電が終了後、行電極302、303上の誘電体層上に絶対値が等しい壁電荷が蓄積形成されるが、行電極302の面積は行電極303の面積より小さいため行電極302上の壁電荷密度は行電極303上の壁電荷密度より大きくなる。

【0033】すると、行電極対の面積が等しい場合に比

して列電極907と行電極302との間との間の電界強度の増強効果が大きくなり、画素データパルスと選択消去パルス（走査パルス）の印加時、列電極907と行電極302との間の放電が生じ易くなり、アドレス動作が安定する。一方、行電極302、303間の電界強度は、行電極対の面積が等しい場合と変わらないので行電極302、303間に不要な放電が生じることはない。

【0034】

【0019】上記の実施例では、単位発光領域内の行電極対の面積を異ならせる一例として、対をなす行電極302、303の幅 $l_1$ 、 $l_2$ を異ならせたが、それに限らず図5～図7に示す形状を採る場合においても上記実施例と同様な効果を呈するものである。

【0035】図5では、単位発光領域ECにおいて対をなす行電極402、403は互いに対向する突出部を有し、発光の選択を行う行電極402の突出部の長さ $l_1$ を行電極403の突出部の長さ $l_2$ より小さくしている。

【0036】図6では、図5と同様に単位発光領域ECにおいて対をなす行電極502、503は互いに対向する突出部を有し、発光の選択を行う行電極502の突出部の長さ $l_1$ 及び幅 $W_1$ を行電極503の突出部の長さ $l_2$ 及び幅 $W_2$ より小さくしている。

【0037】図7では、図5と同様に単位発光領域ECにおいて対をなす行電極602、603は互いに対向するT字状の突出部を有し、発光の選択を行う行電極602の突出部の幅広の先端部の長さ $d_1$ を行電極603の突出部の幅広の先端部の長さ $d_2$ より小さくしている。

【0038】

【0020】また、上記実施例では、単位発光領域内の行電極対の面積を異ならせる例を示したが、単位発光領域ECにおいて対をなす行電極上の誘電体層による電気的容量を異ならせるようにしても上記実施例と同様な効果を呈する。

【0039】すなわち、単位発光領域ECにおいて対をなす行電極上の誘電体層において、発光の選択を行う行電極上の誘電体層による電気的容量を他の行電極上の誘電体層による電気的容量より大きくすることにより、発光の選択を行う行電極上の壁電荷密度を大とし電界強度の増強効果を高めることができる。具体的には、発光の選択を行う行電極上の誘電体層の誘電率を対をなす他の行電極上の誘電体層の誘電率より大きくしている。

【0040】

【0021】本発明のPDPによれば、単位発光領域において対をなす行電極の内の発光の選択を行う一方の行電極の面積を他方の行電極の面積より小さくすることにより、発光の選択を行う行電極上の壁電荷密度を大きくし電界強度の増強効果を増大させるので列電極ドライバを低コストとし安定した表示動作を得ることができる。

【図面の簡単な説明】

【図1】本発明のプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図2】図1の駆動パルス信号のタイミングを示す図である。

【図3】本発明のプラズマディスプレイパネルの行電極構造を示す図である。

【図4】本発明のプラズマディスプレイパネルの他の実施形態の行電極構造を示す図である。

【図5】本発明のプラズマディスプレイパネルの他の実施形態の行電極構造を示す図である。

【図6】本発明のプラズマディスプレイパネルの他の実施形態の行電極構造を示す図である。

【図7】本発明のプラズマディスプレイパネルの他の実施形態の行電極構造を示す図である。

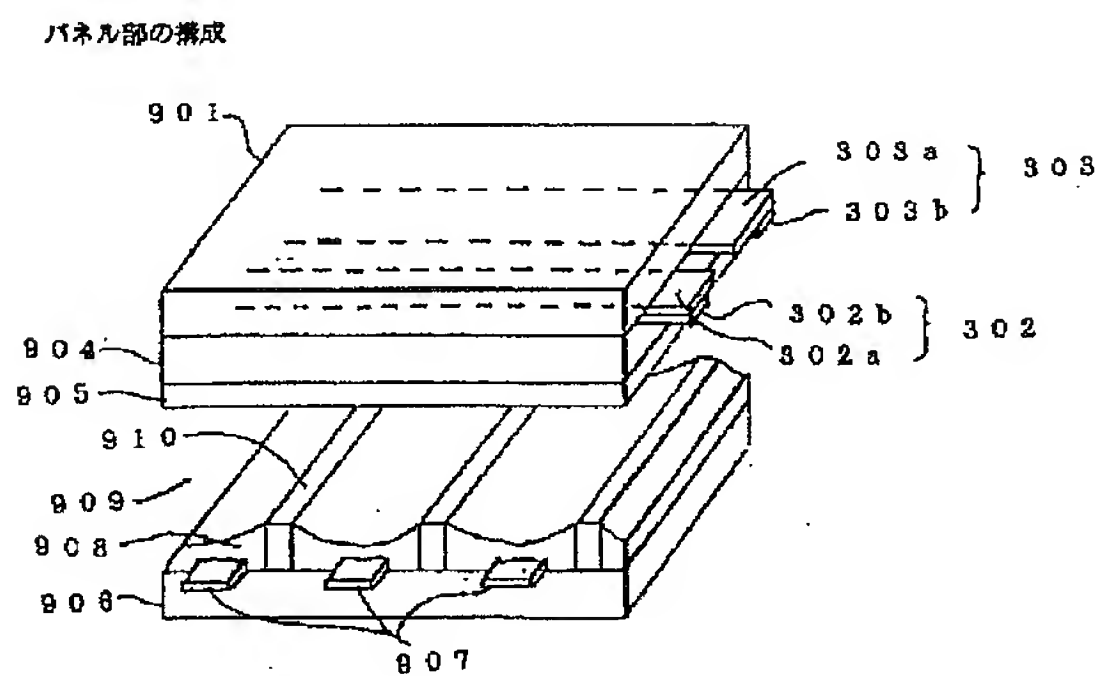
【図8】従来のプラズマディスプレイパネルのパネル部の構成を示す図である。

【符号の説明】

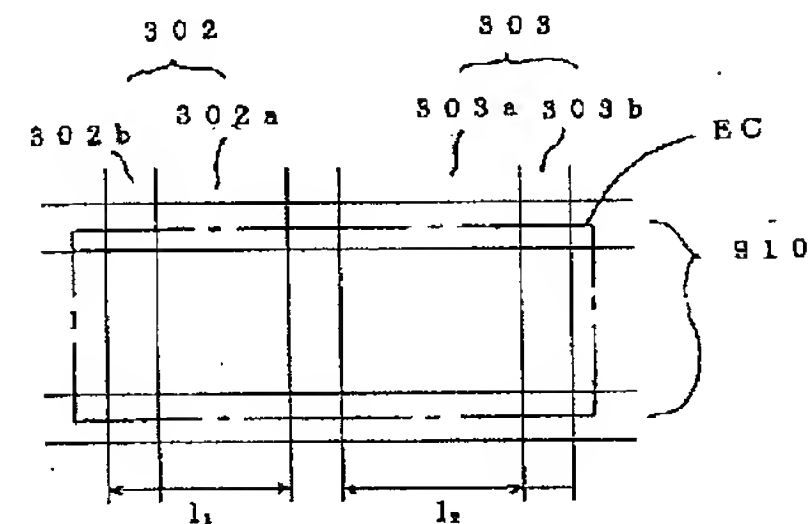
- 1 . . . . . 同期分離回路  
2 . . . . . タイミングパルス発生回路  
3 . . . . . A/D変換回路  
4 . . . . . フレームメモリ

- 5 . . . . . メモリ制御回路  
6 . . . . . 出力処理回路  
7 . . . . . 読出タイミング信号発生回路  
10 . . . . . 行電極駆動パルス発生回路  
11 . . . . . PDP  
12 . . . . . 画素データパルス発生回路  
302, 303 . . . . . 行電極  
302a, 303a . . . . . 透明電極  
302b, 303b . . . . . バス電極  
901 . . . . . 前面ガラス基板  
902, 903 . . . . . 行電極  
902a, 903a . . . . . 透明電極  
902b, 903b . . . . . 透明電極  
904 . . . . . 誘電体層  
905 . . . . . MgO層  
906 . . . . . 背面ガラス基板  
907 . . . . . 列電極  
908 . . . . . 蛍光体層  
909 . . . . . 放電空間  
910 . . . . . リブ

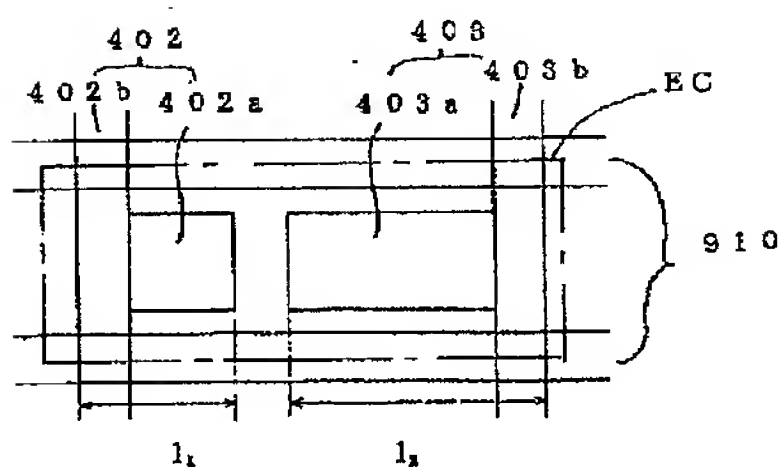
【図3】



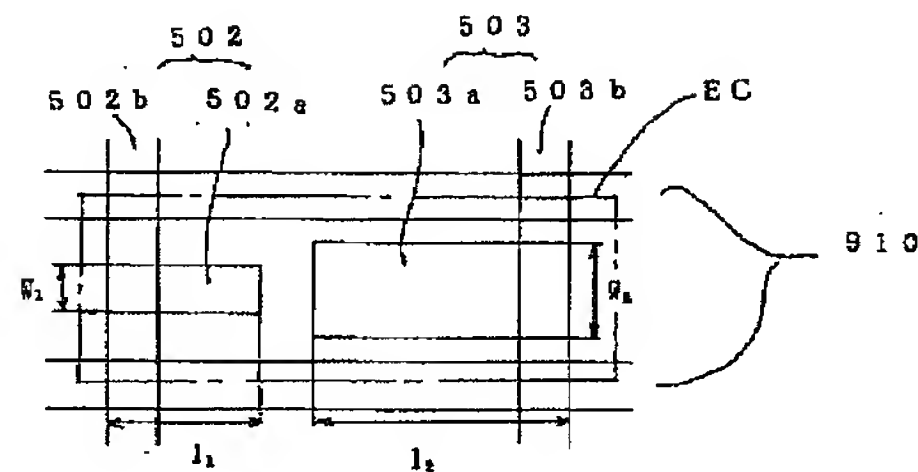
【図4】



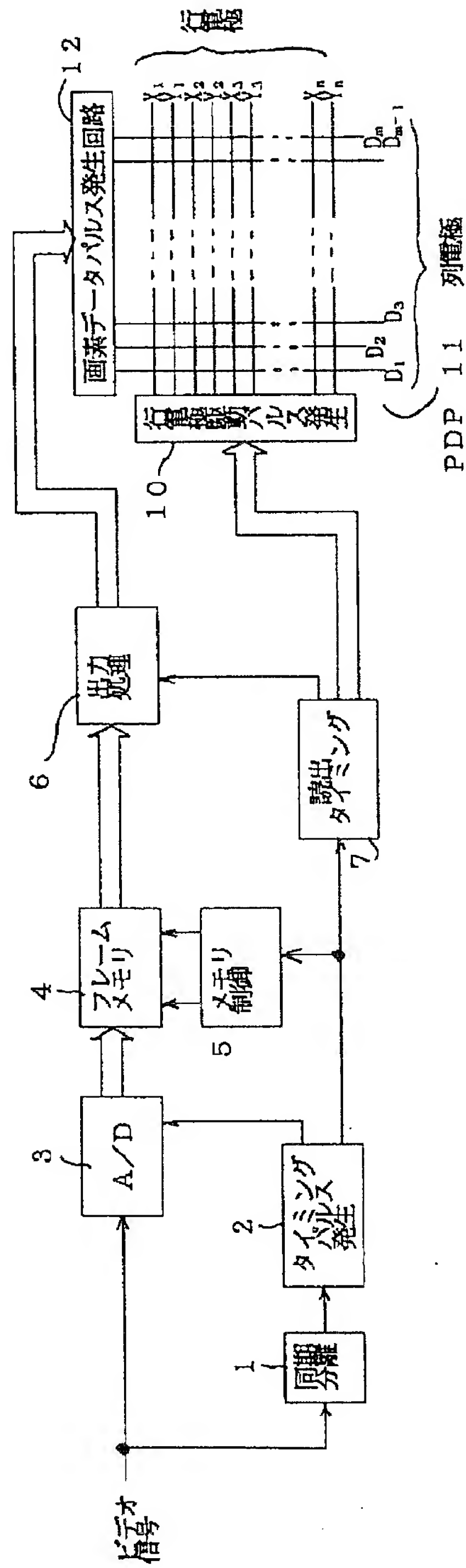
【図5】



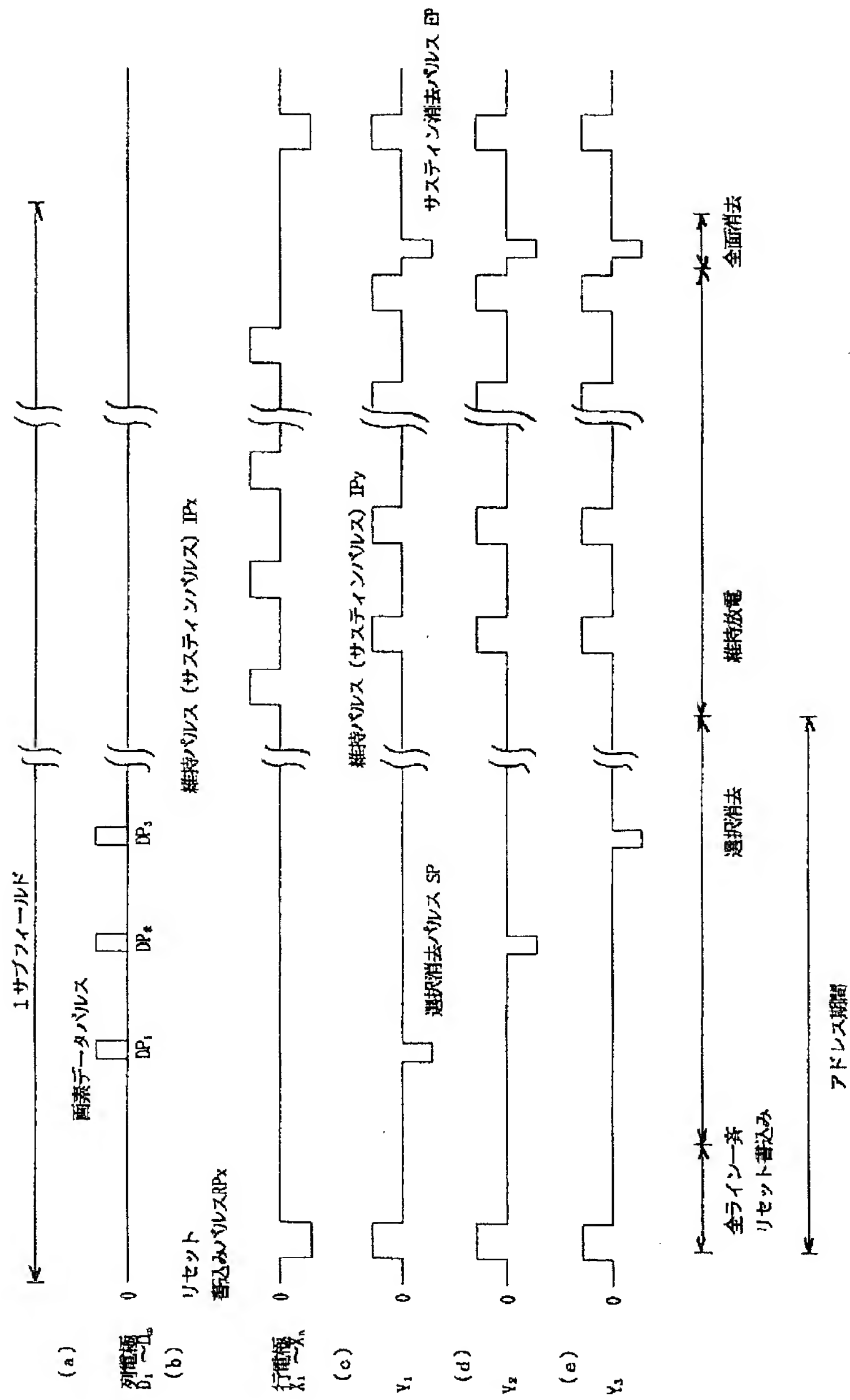
【図6】



【図1】

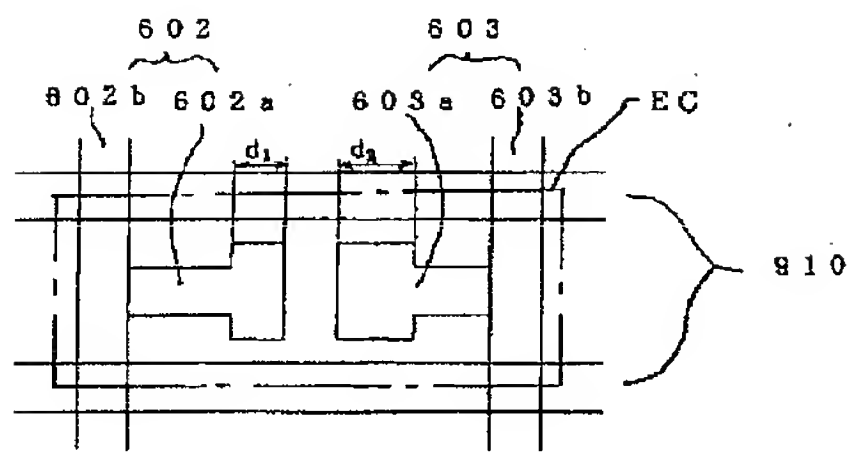


【図2】

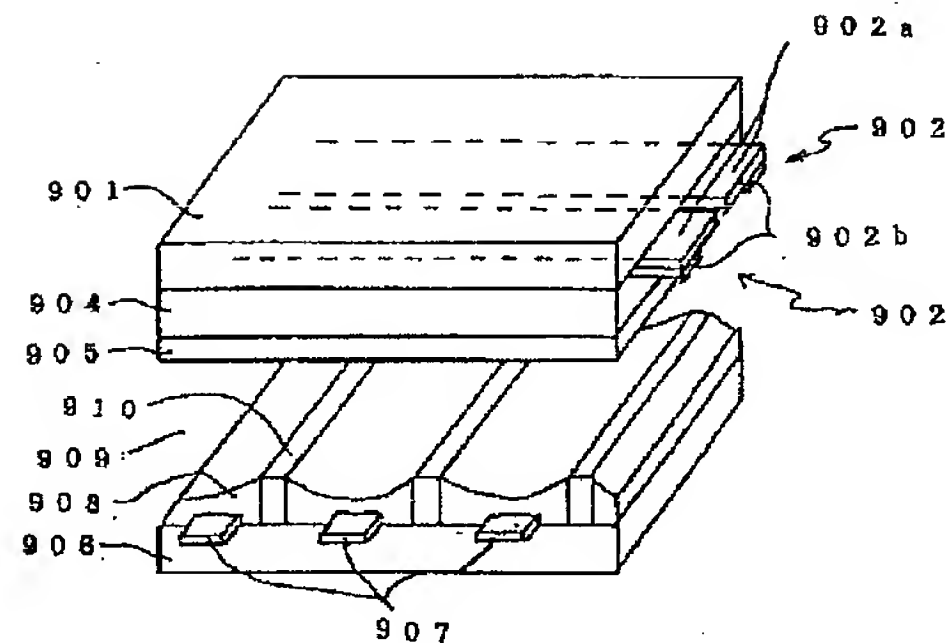




【図7】



【図8】



## 【手続補正書】

【提出日】平成9年2月10日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネルに関する。

【0002】

【従来の技術】図8は、一般的な面放電型のプラズマディスプレイパネル（PDP）の分解斜視図であり、1つの画素に対応する基本的な構造を示している。表示面となるガラス基板901の内面には、透明導電膜からなる幅広の透明電極902aとその導電性を補う金属膜からなるバス電極902bとで構成される行電極対902、902が形成され、その上に誘電体層904、MgO層905が積層されている。

【0003】一方、背面側のガラス基板906上には、行電極902、902と直交する方向に列電極907が形成されている。各列電極間にはリブ910が設けられ、列電極とリブを覆うように蛍光体層908が形成されている。2つの基板901、906の間の放電空間909内には、Ne、Xe等の混合ガスが封入されている。

【0004】かかるPDPの表示制御は、次のように行われる。まず、行電極対にリセット書き込みパルスを印加すると、対をなす行電極間に放電が生じ、放電終了後誘電体層上に壁電荷が蓄積形成される。次に画素データパルスを列電極に印加すると共に走査パルス（選択消去パルス）を行電極対の一方の行電極に印加すると、列電極と行電極との間に放電が生じ、誘電体層上の壁電荷を

選択的に消滅させ、画素データの書き込みが行われる。次に、行電極対に維持パルスを交互に印加すると、壁電荷が残留している画素のみが放電し、その放電が維持される。次に、行電極に消去パルスを印加すると、放電が生じて壁電荷が消滅し維持放電が停止する。

【0005】

【発明が解決しようとする課題】上述のPDPでは、一般的に行電極対902、902の線幅が等しく、リセット書き込みパルスによる放電で一对の行電極902、902上に絶対値が略等しい壁電荷が蓄積形成される。そして、画素データ書き込み時、この壁電荷が放電空間中の電界強度を増強するように働くので、画素データパルスの電圧を低減できるようになる。このように、画素データパルスの電圧を下げようとする、リセット書き込みパルスによる放電を強めて行電極対上の壁電荷量を大きくし放電空間中の電界強度を増強する必要がある。そうすると、行電極間の電位差が大きくなり行電極間で不要な放電が生じ易くなる。一方、行電極間の不要な放電を防止するためには、リセット書き込みパルスによる放電を弱めて行電極対上の壁電荷量を小さくし行電極間の電位差を小さくする必要がある。そうすると、列電極と行電極との間の放電を安定させるために画素データパルスの電圧を大きくすることが必要となり、結果として列電極の駆動用ICのコストアップにつながる。本発明は、上述の事情に鑑みてなされたものであり、低コストで安定した表示動作が可能なプラズマディスプレイパネルを提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1の発明に係わるプラズマディスプレイパネルは、複数の行電極対と、行電極対と離間して直交する複数の列電極とを有し、行電極対と列電極の交点にて単位発光領域が画定され、行電極対の一方の行電極と列電極とによって単位発光領域の

発光を選択するように構成されたプラズマディスプレイパネルであって、単位発光領域内の行電極対の一方の行電極の面積を他方の行電極の面積より小とする。

【0007】請求項2の発明に係わるプラズマディスプレイパネルは、複数の行電極対と、行電極対を覆う誘電体層と、行電極と離間して直交する複数の列電極とを有し、行電極対と列電極の交点にて単位発光領域が画定され、行電極対の一方の行電極と列電極とによって単位発光領域の発光を選択するように構成されたプラズマディスプレイパネルであって、行電極対の一方の行電極を覆う誘電体層による単位面積当たりの電気的容量を他方の行電極対を覆う誘電体層による単位面積当たりの電気的容量より大とする。

【0008】

【作用】単位発光領域内における一对の行電極の面積を異ならせ、面積が小さい方の行電極と列電極との間で書き込み放電を生じさせる。

【0009】

【発明の実施の形態】図1は、本発明のプラズマディスプレイパネルの駆動装置の構成を示す図である。図1において、入力ビデオ信号は、赤色映像成分に対応したRビデオ信号、緑色映像信号成分に対応したGビデオ信号、及び青色映像成分に対応したBビデオ信号を夫々分離抽出して、これらをA/D変換回路3に供給する。同期分離回路1は、上記ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら水平及び垂直同期信号に基づいた種々のタイミングパルスを発生する。A/D変換回路3は、タイミングパルス発生回路2から供給されたタイミングパルスに同期して、上記Rビデオ信号、Gビデオ信号及びBビデオ信号各々を夫々デジタルのR画素データ、G画素データ及びB画素データに変換して、これらをフレームメモリ4に供給する。

【0010】メモリ制御回路5は、タイミングパルス発生回路2から供給されたタイミングパルスに同期した書込信号及び読出信号をフレームメモリ4に供給する。フレームメモリ4は、かかる書込信号に応じて、上記A/D変換回路3から供給された各画素データを順次取り込む。又、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。

【0011】読出タイミング信号発生回路7は、画素データパルスの供給タイミングに対応したタイミング信号を発生してこれを出力処理回路6に供給する。読出タイミング信号発生回路7は、放電発光を実施すべく、放電発光を開始させるための走査パルス、放電状態を維持させるための維持パルス、及び放電発光を停止させるための消去パルス各々のPDP11に対する印加供給タイミング信号を発生してこれらを行電極駆動パルス発生回路

10に供給する。出力処理回路6は、上記フレームメモリ4から供給された画素データ1フィールド毎に分割された各サブフィールドに対応する画素データを生成し、これらを読出タイミング信号発生回路7からのタイミング信号に同期して画素データパルス発生回路12に供給する。

【0012】行電極駆動パルス発生回路10は、読出タイミング信号発生回路7から供給された各種タイミング信号に対応して、上記走査パルス、維持パルス、及び消去パルスを夫々発生してPDP11の行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ に供給する。画素データパルス発生回路12は、出力処理回路6から供給された1フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割した各行毎の画素データパルスを時分割にて列電極 $D_1 \sim D_m$ へ印加する。

【0013】PDP11は、行電極駆動パルス発生回路10から上記走査パルスが印加された際に画素データパルスに対応した放電発光を開始して、上記維持パルスが印加されている期間に亘ってこの発光状態を維持する。その後、行電極駆動パルス発生回路10から上記消去パルスが印加されることにより放電発光を停止する。このように、行電極駆動パルスは、走査パルス、維持パルス、消去パルスなどを含む。

【0014】図2は、図1の駆動パルス信号のタイミングを示す図である。図2において、先ず、駆動装置から、負電圧のリセット書き込みパルス $RP_x$ を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正電圧のリセット書き込みパルス $RP_y$ を行電極 $Y_1 \sim Y_n$ の各々に印加する。かかるリセット書き込みパルスの印加によりPDPの全ての行電極対間に放電が生じる。かかる放電により、各画素セル内において荷電粒子及び励起粒子が発生し、その放電終息後に壁電荷が蓄積形成される。

【0015】次に、駆動装置から、各行毎の画素データに対応した画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_m$ に印加する。駆動装置からは、上記画素データパルス $DP_1 \sim DP_n$ 夫々の印加タイミングに同期して選択消去パルスSPを行電極 $Y_1 \sim Y_n$ へ順次印加していく。この際、かかる画素データパルスDP及び選択消去パルスSPが夫々列電極及び行電極に同時に印加された画素セルにのみ放電が生じて、上記リセット書き込みにて形成された壁電荷の大半が消滅する。一方、選択消去パルスSPが印加されたものの画素データパルスDPが印加されない画素セルにおいては、上述の如き放電が生じないので、上記リセット書き込みにて形成された所望量の壁電荷は、画素データの内容に応じて選択的に消去されるのである。

【0016】次に、駆動装置からは、正極性の維持パルス $IP_x$ を連続して行電極 $X_1 \sim X_n$ の夫々に印加すると共に、かかる維持パルス $IP_x$ の印加タイミングと

は、ずれたタイミングにて正極性の維持パルス  $IP_y$  を連続して行電極  $Y_1 \sim Y_n$  の夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり上記壁電荷が残留したままになっている画素セルのみが放電発光を維持する。次に、駆動装置からは、サスティン消去パルス  $EP$  を行電極  $X_1 \sim X_n$  夫々に印加することにより、上記維持放電を停止せしめる。

【0017】図3は上述のPDP11の構造を示す。表示面となるガラス基板901の内面には、透明導電膜からなる幅広の透明電極302a、303a、その導電性を補う幅狭金属膜からなるバス電極302b、303bとで構成される行電極対302、303が形成され、その上に誘電体層904、MgO層905が積層されている。一方、背面側のガラス基板906上には、行電極対902、902と直交する方向に列電極907が形成されている。各列電極間にはリブ910が設けられ、列電極とリブを覆うよう蛍光体層908が形成されている。2つの基板901、906の間の放電空間909内には、 $Ne-Xe$ 等の混合ガスが封入されている。ここで、画素データ書き込み時、列電極907（図1及び図2の列電極  $D_1 \sim D_m$  に対応する）との間で単位発光領域ECの発光の選択（アドレス）を行う行電極302（図1及び図2の行電極  $Y_1 \sim Y_n$  に対応する）の幅  $l_1$ （面積）は、図4（a）に示すように対をなす他方の行電極（図1及び図2の行電極  $X_1 \sim X_n$  に対応する）の幅  $l_2$ （面積）より狭くなっている。

【0018】次に、上記行電極対構造を有するPDPの動作について説明する。まず、リセット書き込みパルス  $RP_x$ 、 $RP_y$  による放電が終了後、行電極302、303上の誘電体層上に絶対値が等しい壁電荷が蓄積形成されるが、行電極302の面積は行電極303の面積より小さいため行電極302上の壁電荷密度は行電極303上の壁電荷密度より大きくなる。すると、行電極対の面積が等しい場合に比して列電極907と行電極302との間との間の電界強度の増強効果が大きくなり、画素データパルスと選択消去パルス（走査パルス）の印加時、列電極907と行電極302との間の放電が生じ易くなり、アドレス動作が安定する。一方、行電極302、303間の電界強度は、行電極対の面積が等しい場

合と変わらないので行電極302、303間に不要な放電が生じることはない。

【0019】上記の実施例では、単位発光領域内の行電極対の面積を異ならせる一例として、対をなす行電極302、303の幅  $l_1$ 、 $l_2$  を異ならせたが、それに限らず図5～図7に示す形状を採る場合においても上記実施例と同様な効果を呈するものである。図5では、単位発光領域ECにおいて対をなす行電極402、403は互いに対向する突出部を有し、発光の選択を行う行電極402の突出部の長さ  $l_1$  を行電極403の突出部の長さ  $l_2$  より小さくしている。図6では、図5と同様に単位発光領域ECにおいて対をなす行電極502、503は互いに対向する突出部を有し、発光の選択を行う行電極502の突出部の長さ  $l_1$  及び幅  $W_1$  を行電極503の突出部の長さ  $l_1$  及び幅  $W_2$  より小さくしている。図7では、図5と同様に単位発光領域ECにおいて対をなす行電極602、603は互いに対向するT字状の突出部を有し、発光の選択を行う行電極602の突出部の幅広の先端部の長さ  $d_1$  を行電極603の突出部の幅広の先端部の長さ  $d_2$  より小さくしている。

【0020】また、上記実施例では、単位発光領域内の行電極対の面積を異ならせる例を示したが、単位発光領域ECにおいて対をなす行電極上の誘電体層による電気的容量を異ならせるようにしても上記実施例と同様な効果を呈する。すなわち、単位発光領域ECにおいて対をなす行電極上の誘電体層において、発光の選択を行う行電極上の誘電体層による電気的容量を他の行電極上の誘電体層による電気的容量より大きくすることにより、発光の選択を行う行電極上の壁電荷密度を大とし電界強度の増強効果を高めることができる。具体的には、発光の選択を行う行電極上の誘電体層の誘電率を対をなす他の行電極上の誘電体層の誘電率より大きくしている。

【0021】本発明のPDPによれば、単位発光領域において対をなす行電極の内の発光の選択を行う一方の行電極の面積を他方の行電極の面積より小さくすることにより、発光の選択を行う行電極上の壁電荷密度を大きくし電界強度の増強効果を増大させるので列電極ドライバを低コストとし安定した表示動作を得ることができる。